



Publication Year	2005
Acceptance in OA	2023-02-27T10:09:15Z
Title	Procedura di Fine Tune della soglia delle daisy chain di SuperAGILE
Authors	PACCIANI, LUIGI, Olga Uberti
Handle	http://hdl.handle.net/20.500.12386/33885
Volume	28

DOCUMENT TYPE: TECHNICAL NOTE

TITLE: Procedura di Fine Tune della soglia delle daisy chain di SuperAGILE

DOCUMENT No.: AGILE-IAS-TN-028 **No. OF PAGES:** 33

ISSUE No.: 1 **DATE:** 18/10/2005

PREPARED BY: L. PACCIANI, O. UBERTI on behalf of the SuperAGILE Team

CHECKED BY: M. FEROCI

APPROVED BY: A. ARGAN **DATE:** 18/10/2005

THE SUPERAGILE TEAM

POS.	NAME	DEPT.
1	E. COSTA	INAF-IASF RM
2	E. DEL MONTE	INAF-IASF RM
3	G. DE PARIS	INAF-IASF RM
4	G. DI PERSIO	INAF-IASF RM
5	I. DONNARUMMA	INAF-IASF RM
6	Y. EVANGELISTA	INAF-IASF RM
7	M. FEROCI	INAF-IASF RM
8	M. FRUTTI	INAF-IASF RM
9	I. LAPSHOV	INAF-IASF RM
10	F. LAZZAROTTO	INAF-IASF RM
11	M. MASTROPIETRO	ISC-CNR RM
12	E. MORELLI	INAF-IASF BO
13	L. PACCIANI	INAF-IASF RM
14	G. PORROVECCHIO	INAF-IASF RM
15	M. RAPISARDA	ENEA Frascati
16	A. RUBINI	INAF-IASF RM
17	G. SABATINO	INAF-IASF RM
18	B. SCHENA	INAF-IASF RM
19	P. SOFFITTA	INAF-IASF RM
20	O. UBERTI	INAF-IASF RM

CHANGE RECORD

Issue	Date	Page	Description of Changes	Release
1	18/10/2005		First issue related to Fine threshold tuning	1

Dispersione delle soglie dei canali di SuperAGILE

I chip XAA1.2 utilizzati per SuperAGILE hanno 128 circuiti di discriminazione, uno per ogni canale. La tecnologia di costruzione dell'ASIC consente di ottenere circuiti di discriminazione uniformi tra loro entro 4 mV. In SuperAGILE gli XA sono connessi in D.C. di 3 chip, con il bias di soglia comune ai tre chip. Le disuniformità di guadagno e di offset della soglia tra i tre chip allargano ulteriormente la distribuzione della soglia. La presente nota riporta il lavoro di equalizzazione di soglia svolto sulla D.C. 4 della SAFEE spare PFM-A. Lo scopo del lavoro è individuare una procedura di equalizzazione di soglia applicabile a SuperAGILE.

Dispersione all'interno di un XA

La distribuzione di soglia in mV dei 128 canali dell'XA3 della DC4 della SAFEE spare PFM-A (run di soglia 17194 – 17198 – 17219 – 17222 con TE SAFEE) è mostrata nelle figure 1-4. I valori in mV delle figure 1-4 vanno divisi per il fattore 11 dato dal partitore di soglia.

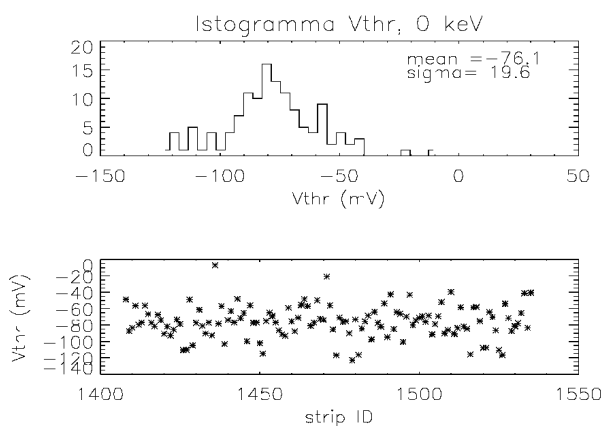


figura 1 Valore di soglia (in mV) del canale per ottenere 0keV di soglia. Il valore di Vthr va diviso per 11.

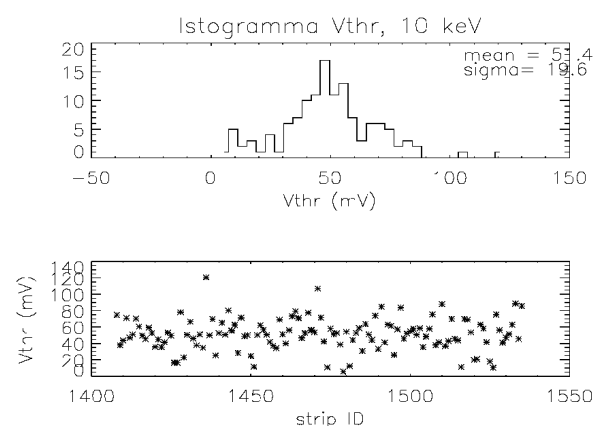


figura 2 Valore di soglia (in mV) del canale per ottenere 10keV di soglia. Il valore di Vthr va diviso per 11.

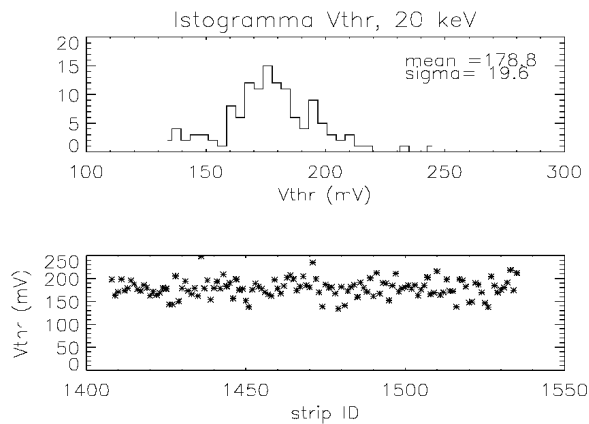


figura 3 Valore di soglia (in mV) del canale per ottenere 20keV di soglia. Il valore di Vthr va diviso per 11.

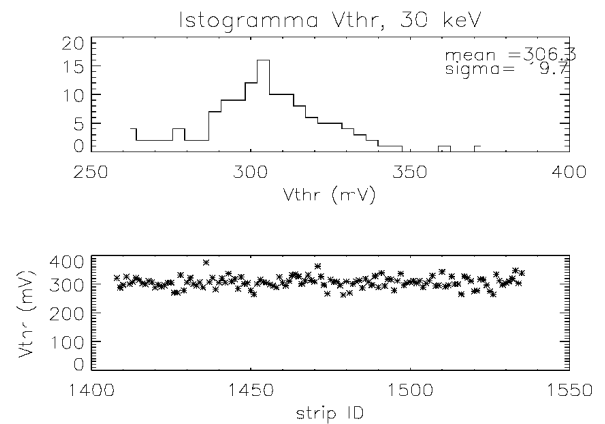


figura 4 Valore di soglia (in mV) del canale per ottenere 30keV di soglia. Il valore di Vthr va diviso per 11.

La dispersione nel valore di soglia in mV tra canale e canale genera disuniformità del valore della soglia in keV come mostrato nella figure 5-8 per un singolo XA. Anche la disuniformità di guadagno tra i canali di un XA influisce sulla disuniformità dell'energia di soglia, ma l'effetto predominante è quello della disuniformità dei circuiti di discriminazione.

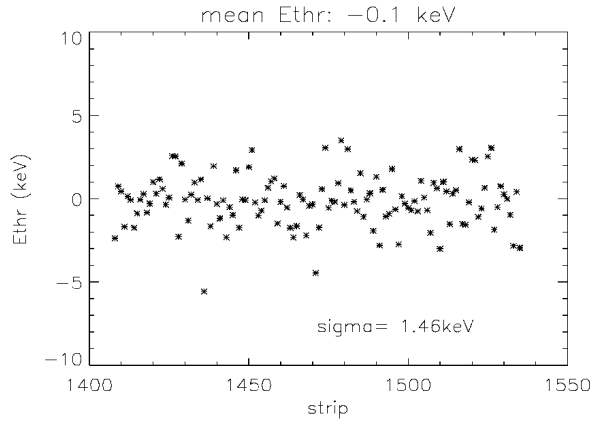


figura 5 Disuniformità di soglia in keV tra i canali di un XA. Soglia media 0 keV.

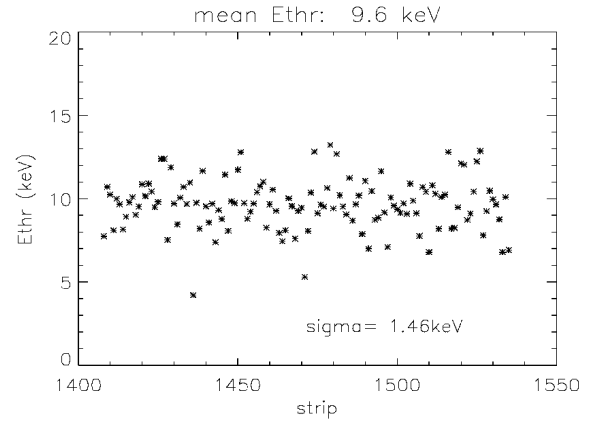


figura 6 Disuniformità di soglia in keV tra i canali di un XA. Soglia media 10 keV.

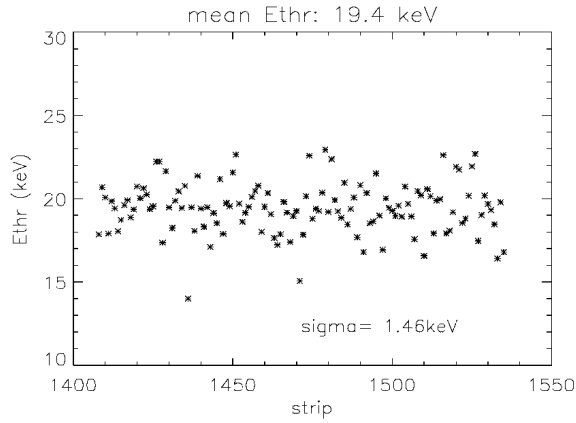


figura 7 Disuniformità di soglia in keV tra i canali di un XA. Soglia media 20 keV.

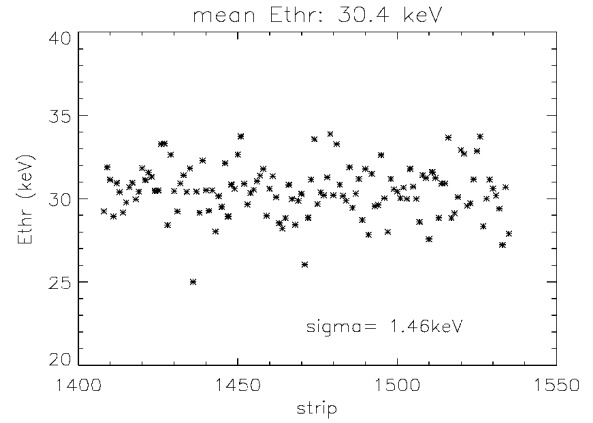


figura 8 Disuniformità di soglia in keV tra i canali di un XA. Soglia media 30 keV.

Dispersione all'interno di una D.C.

Se gli XA sono connessi in D.C. (o almeno se è comune il bias di soglia tra gli XA della D.C.), come per SuperAGILE, alla disuniformità di soglia vanno a dare un contributo importante anche le disuniformità tra XA ed XA. (figure 9-12 per la disuniformità in mV e figure 13-16 per le disuniformità in keV).

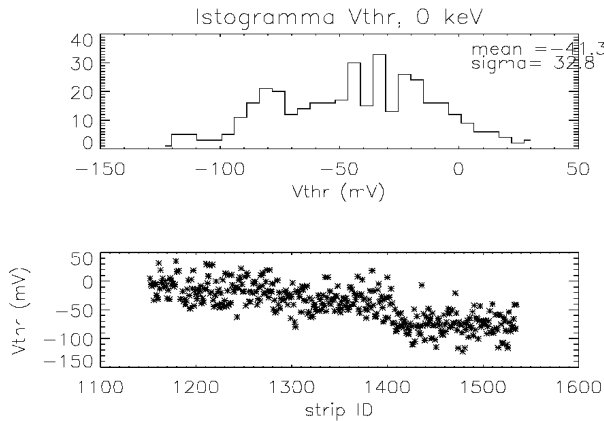


figura 9 Dispersione di soglia in mV all'interno di una D.C. Valore di soglia (in mV) del canale per ottenere 0keV di soglia. Il valore di Vthr va diviso per 11.

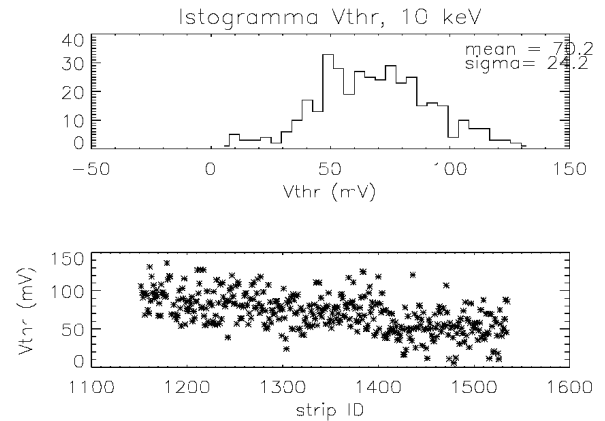


figura 10 Dispersione di soglia in mV all'interno di una D.C. Valore di soglia (in mV) del canale per ottenere 10keV di soglia. Il valore di Vthr va diviso per 11.

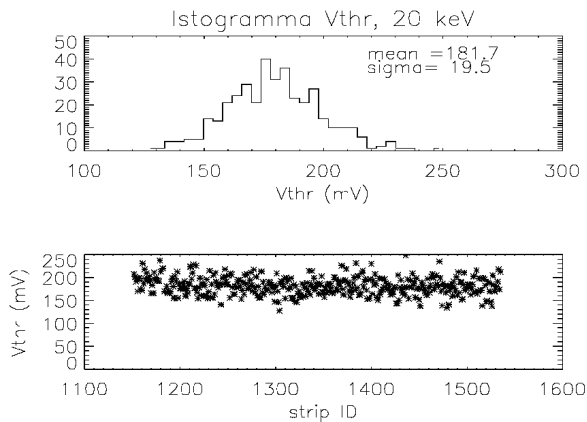


figura 11 Dispersione di soglia in mV all'interno di una D.C. Valore di soglia (in mV) del canale per ottenere 20keV di soglia. Il valore di Vthr va diviso per 11.

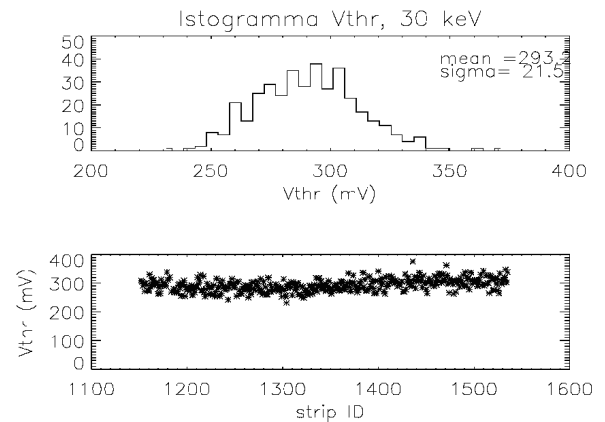


figura 12 Dispersione di soglia in mV all'interno di una D.C. Valore di soglia (in mV) del canale per ottenere 30keV di soglia. Il valore di Vthr va diviso per 11.

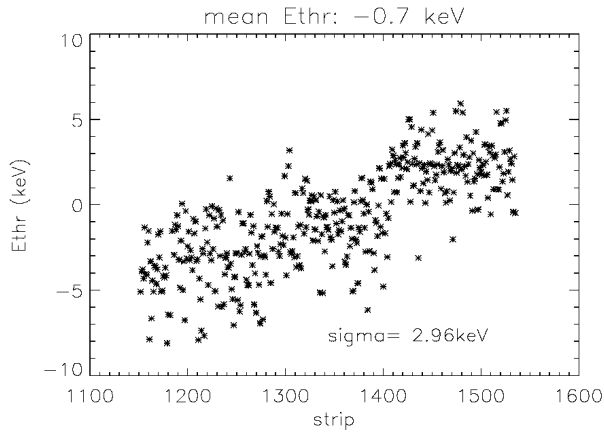


figura 13 Disuniformità di soglia in keV tra i canali di una D.C. formata da 3 XA. Soglia media 0 keV.

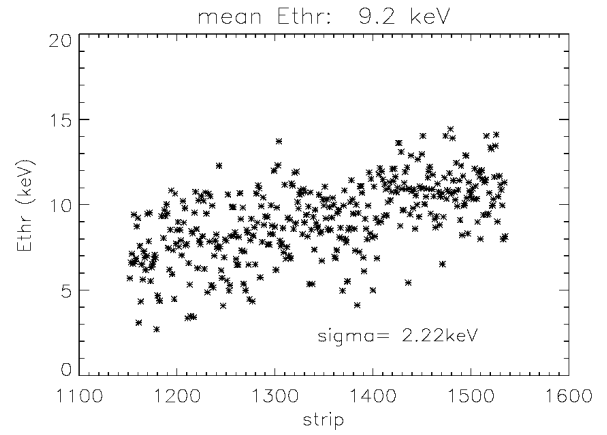


figura 14 Disuniformità di soglia in keV tra i canali di una D.C. formata da 3 XA. Soglia media 10 keV.

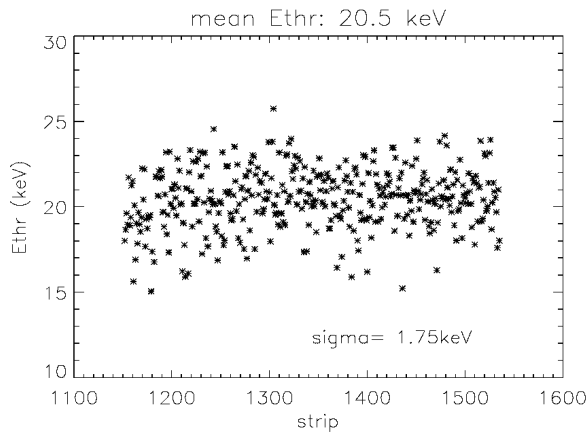


figura 15 Disuniformità di soglia in keV tra i canali di una D.C. formata da 3 XA. Soglia media 20 keV.

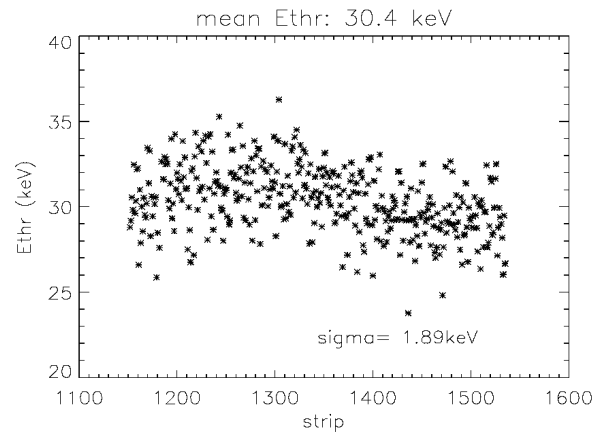


figura 16 Disuniformità di soglia in keV tra i canali di una D.C. formata da 3 XA. Soglia media 30 keV.

Il circuito di soglia fine

Ognuna delle 128 catene analogiche di lettura all'interno dell'XAA1.2 ha un circuito di fine tune della soglia composto essenzialmente di una resistenza dell'ordine di 200 Ohm in serie alla linea che porta V_{thr} al discriminatore, ed un generatore che inietta corrente sulla resistenza. Si può programmare individualmente ciascun generatore di corrente agendo su tre bit del registro di configurazione (regin). Si ottiene così una correzione al valore di soglia sul singolo canale del tipo

$$V_{thr}^i = V_{thr} + V_{fine} * DAC_{fine}^i + V_{glob}^{ij} * DAC_{fine}^j \quad (1)$$

Dove:

V_{thr} è la soglia globale del chip,

i è l'identificativo della catena analogica,

V_{fine} è il passo della correzione, V_{fine} può essere regolato agendo su apposito bias del chip,

DAC_{fine}^i è il valore impostato dei tre bit di soglia fine nel registro di configurazione dell'XAA1.2,

V_{thr}^i è la soglia effettiva del canale i ,

V_{glob}^{ij} è un matrice che tiene in conto degli effetti “globali” di interazione tra le catene di elettronica.

Per convenzione $V_{glob}^{ij} * DAC_{fine}^j$ indica la somma dei prodotti tra V_{glob}^{ij} e DAC_{fine}^j su tutti gli indici j .

La conoscenza dello schema funzionale del chip, il circuito di generazione di V_{thr} , e le misure di test effettuate ci hanno portato a schematizzare il termine di interazione tra i vari canali come:

$$V_{glob}^{ij} = V_{stesso\ XA}^{ij} + V_{altro\ XA}^{ij} + V_{asimm\ stesso\ XA}^{ij} + V_{asimm\ altro\ XA}^{ij} \quad (2)$$

Il motivo di tale schematizzazione risulterà chiaro nel seguito.

Calibrazione di soglia fine

Effetto fine

V_{fine} è stato determinato per 4 canali del CTM, su un canale di XA3 DC3 della DU4 di SuperAGILE e su tutti i canali di XA3 DC4 della SAFEE spare PFM-A. Tutti questi prototipi hanno circuiti “equivalenti” di polarizzazione per V_{thr_bi} (il bias di riferimento per i DAC di soglia fine). La corrente in entrata al chip sul pad di questo bias è di 10uA.

I risultati sono mostrati nelle figure 17-19 e nella tabella 1.

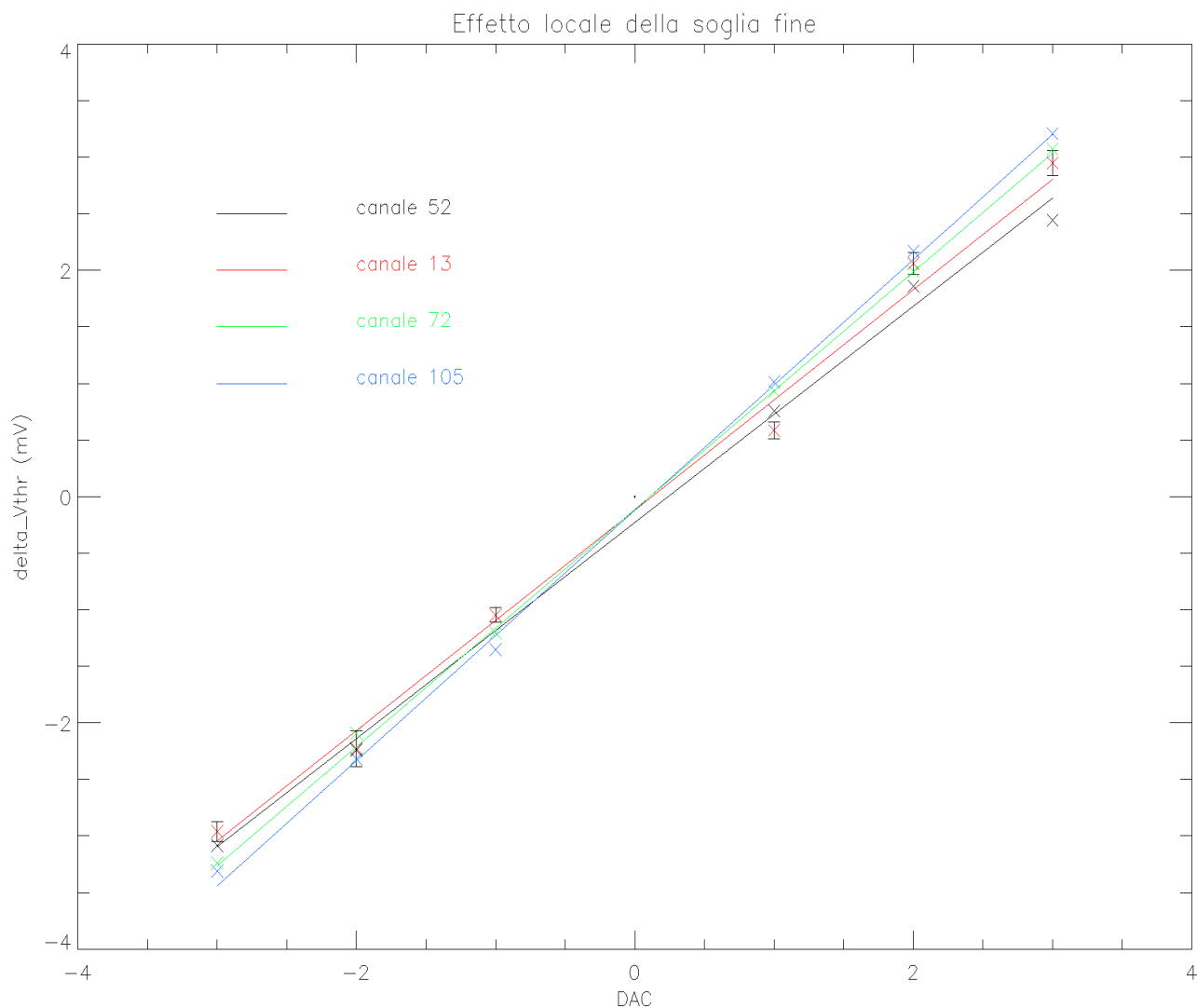


figura 17 Calibrazione di V_{fine} per 4 canali del modello "ctm".

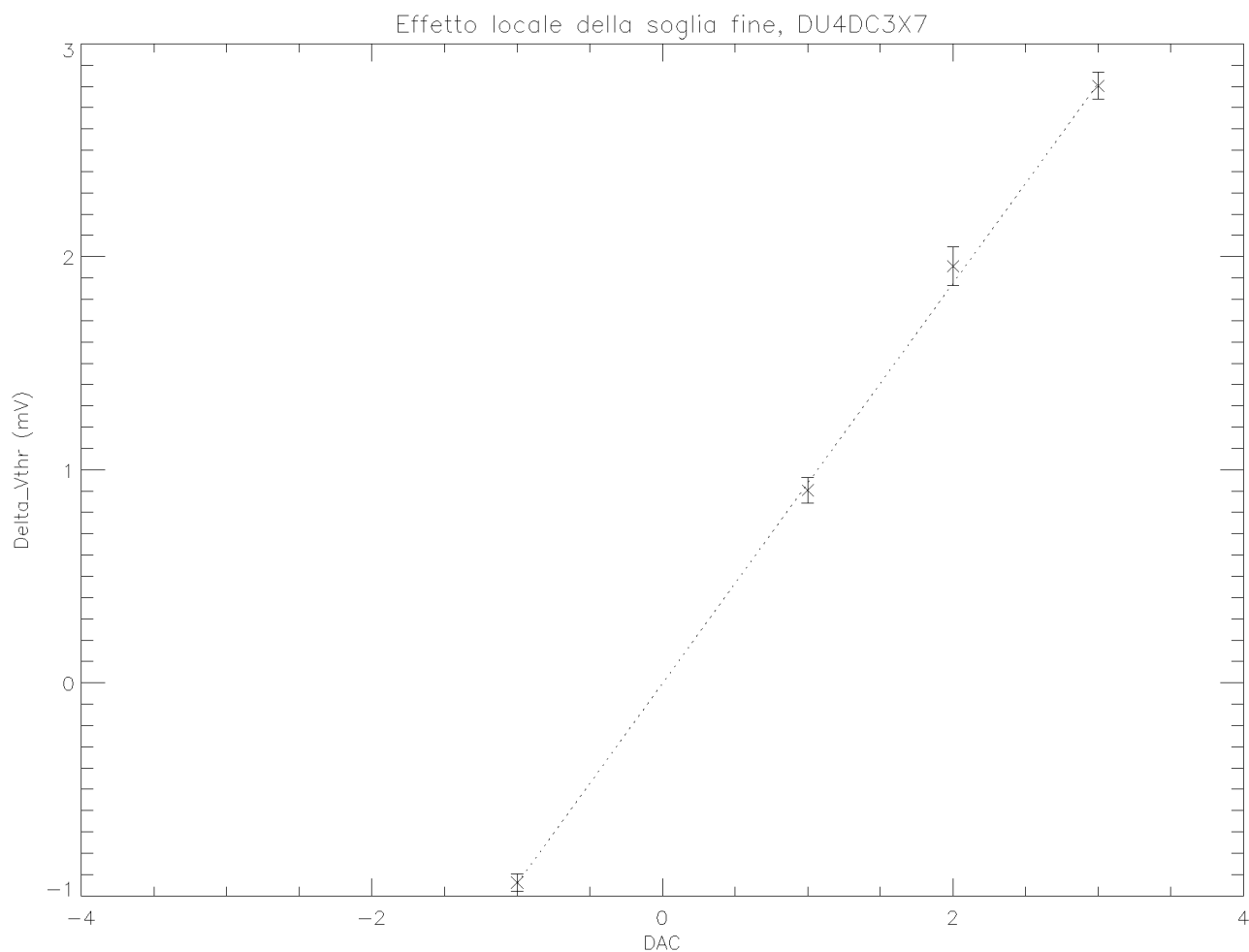


figura 18 Calibrazione di V_{fine} per un canale di XA3 DC3 della DU4 di SuperAGILE.

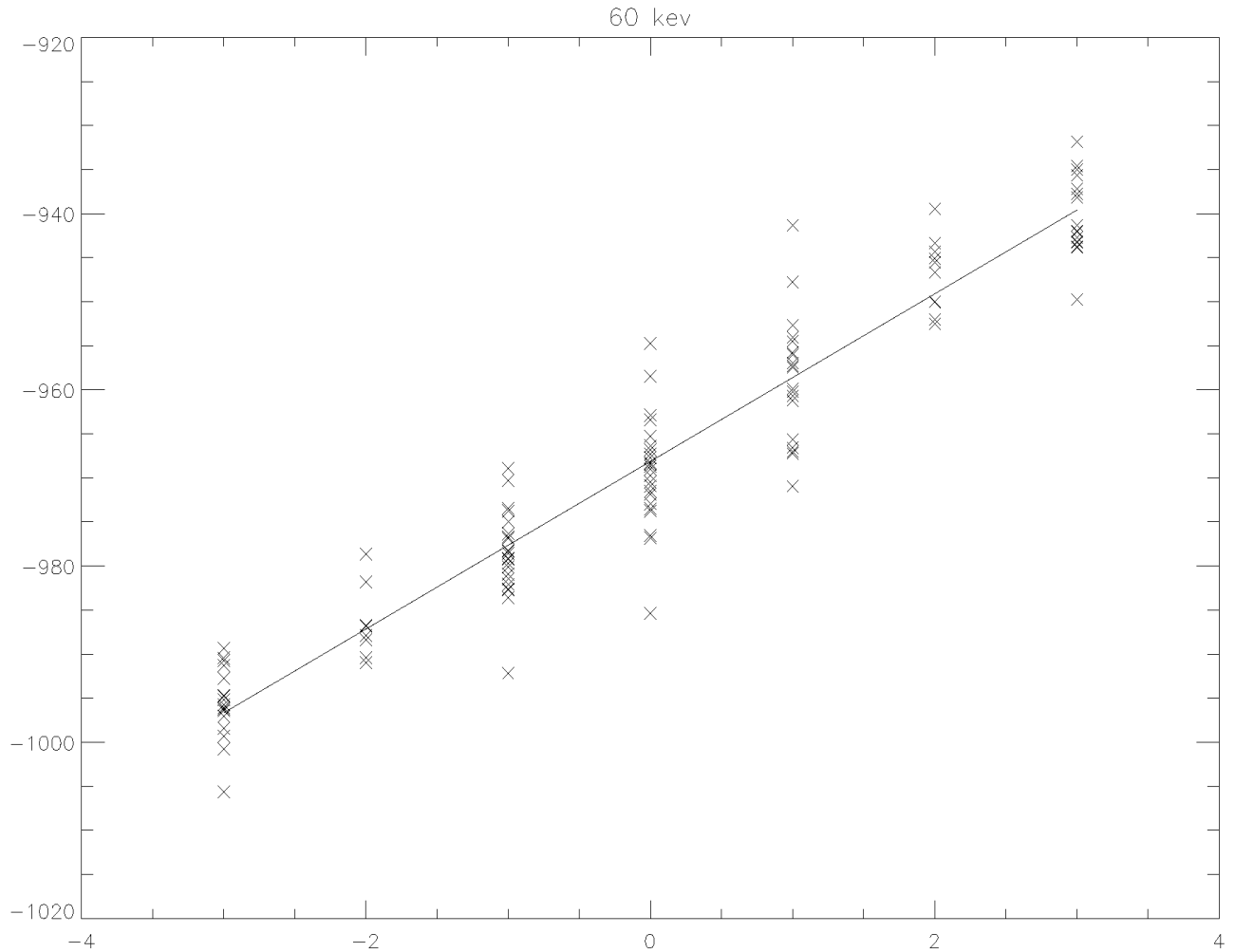


figura 19 Calibrazione di V_{fine} per tutti i canali di XA3 DC4 SAFEE spare PFM-A.

I valori misurati di V_{fine} sono riportati nella tabella 1.

<i>Effetto locale</i>	CTM	XA3 DC3 DU4 di SuperAGILE	XA3 DC4 SAFEE spare PFM-A
V_{fine} (mV)	10.5	10.3	9.5

Tabella 1 Calibrazione di V_{fine}

I valori di V_{fine} si discostano tra loro per meno del 10%, una quantità trascurabile rispetto al range di livelli di programmazione del DAC di soglia fine (7 livelli, da -3 a +3). Tale scostamento potrebbe essere solo un errore di misura e comunque è una stima dell'errore che si commette assumendo che V_{fine} sia lo stesso per tutti i canali di SuperAGILE.

Effetto globale

Operare sui DAC di soglia fine si traduce nell'iniettare correnti su una resistenza in serie alla linea di ingresso di soglia del discriminatore in ogni catena analogica dell'ASIC. Così facendo, si produce una corrente (somma algebrica delle correnti iniettate) sulla linea di ingresso del pad di soglia del chip. Il circuito di generazione della tensione di soglia del discriminatore nelle schede PFM di SuperAGILE è costituito da un partitore di tensione 10KOhm / 1KOhm e da un resistore da 1KOhm in serie. Iniettare una corrente su tale circuito ha come effetto una tensione di soglia effettiva per il chip diversa dalla V_{thr} a correnti nulle. Ci si aspetterebbe lo stesso offset per tutti i canali di una daisy chain. Invece si osserva che l'offset è più alto per il chip su cui si va a cambiare la soglia fine. Questo è il motivo dei primi due addendi di V_{ij}^{glob} . $V_{ij}^{stesso\ XA}$ è diverso da zero solo per i e j appartenenti allo stesso XA della daisy chain, mentre $V_{ij}^{altro\ XA}$ è diverso da zero solo per i e j appartenenti ad XA diversi della stessa daisy chain. Nell'assunzione che i circuiti di iniezione delle correnti di “fine threshold” siano uguali per tutti i canali della daisy chain, risulta:

$$\begin{aligned} V_{ij}^{stesso\ XA} &= \text{costante} && \text{per qualsiasi coppia } (i,j) \text{ dello stesso XA,} \\ V_{ij}^{stesso\ XA} &= 0 && \text{per qualsiasi coppia } (i,j) \text{ di XA diversi,} \\ V_{ij}^{altro\ XA} &= 0 && \text{per qualsiasi coppia } (i,j) \text{ dello stesso XA,} \\ V_{ij}^{altro\ XA} &= \text{costante}' && \text{per qualsiasi coppia } (i,j) \text{ di XA diversi della stessa daisy chain.} \end{aligned}$$

Queste assunzioni sono dettate dall'impossibilità pratica di calibrare individualmente i circuiti di soglia fine di ciascun canale di SuperAGILE. I valori ottenuti per la DC3 della DU4 di SuperAGILE e per la DC4 della SAFEE spare PFM-A sono riportati nelle figure 20-23 e nella tabella 2. Non sono disponibili risultati confrontabili per il CTM per via del differente circuito di generazione della soglia.

AGILE	IASF RM
--------------	----------------

<i>Effetto globale</i>		<i>DU4 DC3 XA1 di SuperAGILE</i>	<i>DU4 DC3 XA2 di SuperAGILE</i>	<i>DU4 DC3 XA3 di SuperAGILE</i>	<i>XA3 DC4 SAFEE spare PFM-A</i>	<i>XA2 DC4 SAFEE spare PFM-A</i>
altro XA	<i>a (mV)</i>		3.0±0.3	-8.7±0.5		-237.3±0.8
	<i>b (mV/step)</i>		94.5±0.1	98.1±0.2		89.3±0.2
stesso XA	<i>a (mV)</i>	0.4±0.7			-235.0±1.0	
	<i>b (mV/step)</i>	122.3±0.3			121.1±0.4	

Tabella 2 Calibrazione Effetto globale

Any information contained in this document is property of INAF/IASF Roma (Italy), you may use and print this document for non-commercial purposes provided that no additions, changes or deletions to content or formatting are made. Please contact us if you would like to use the information contained herein in any other manner.	IASF RM
--	----------------

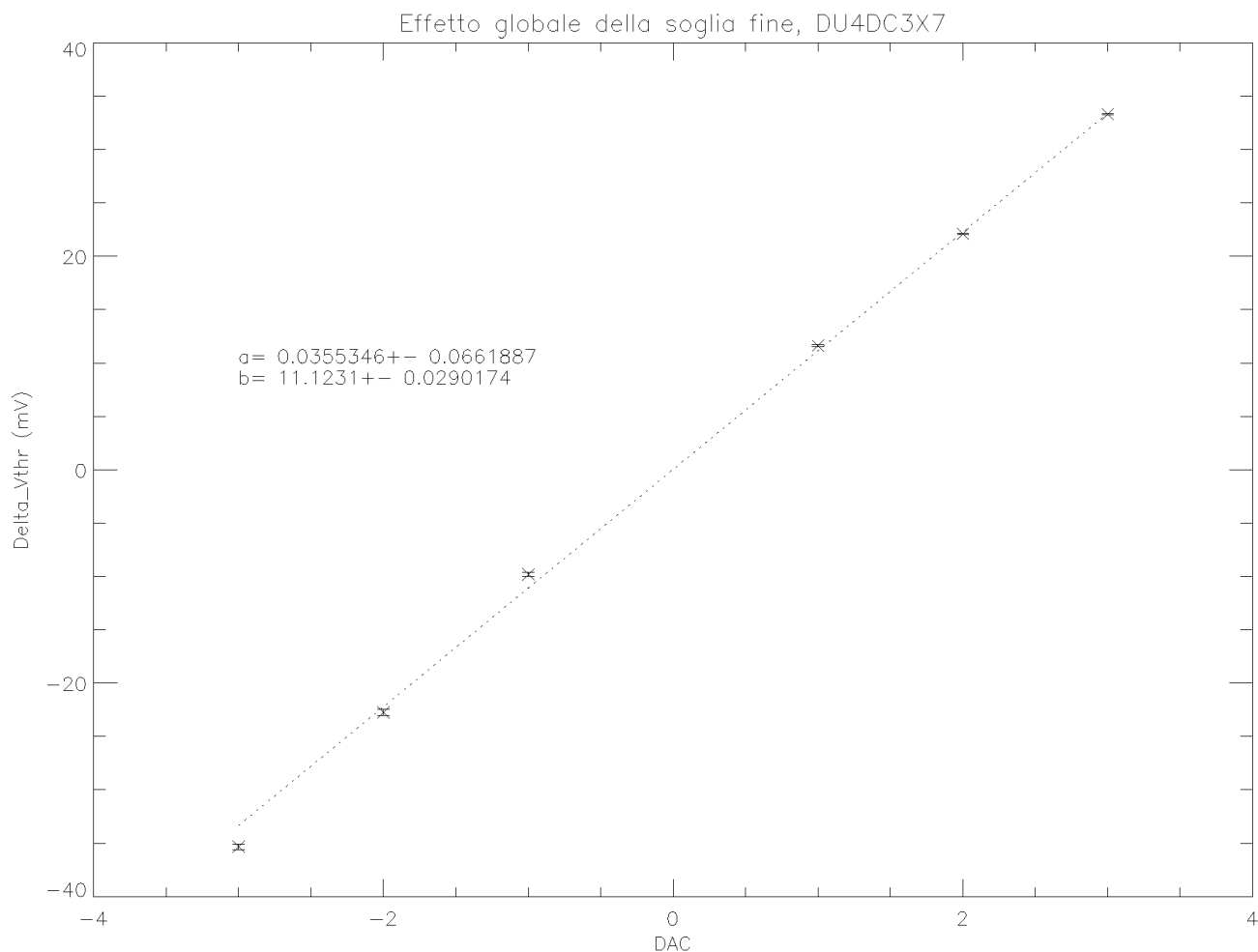


figura 20 Effetto globale “stesso XA” per il primo XA della DC3 della DU4 di SuperAGILE.

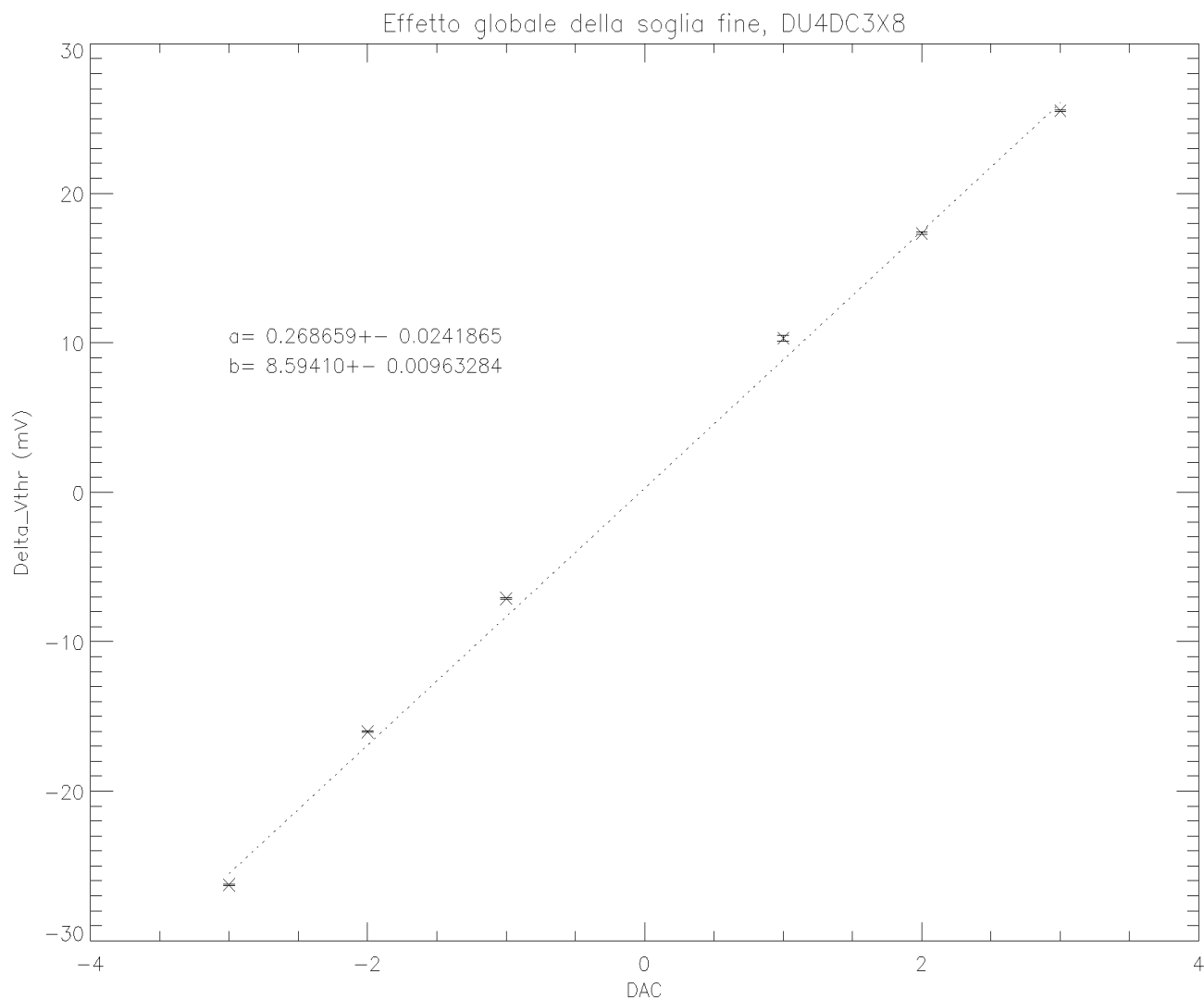


figura 21 Effetto globale “altro XA” per il secondo XA della DC3 della DU4 di SuperAGILE.

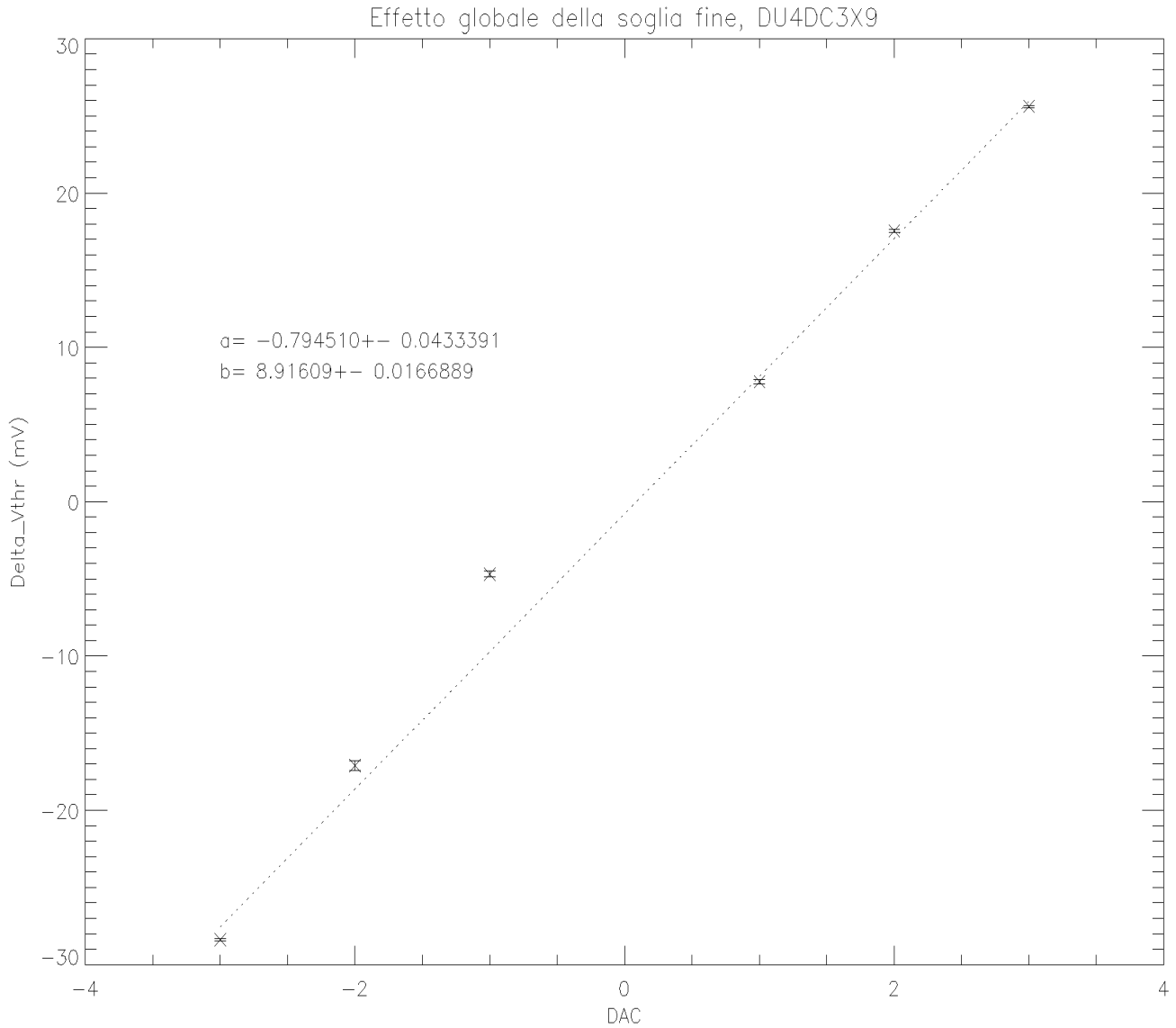


figura 22 Effetto globale “altro XA” per il terzo XA della DC3 della DU4 di SuperAGILE.

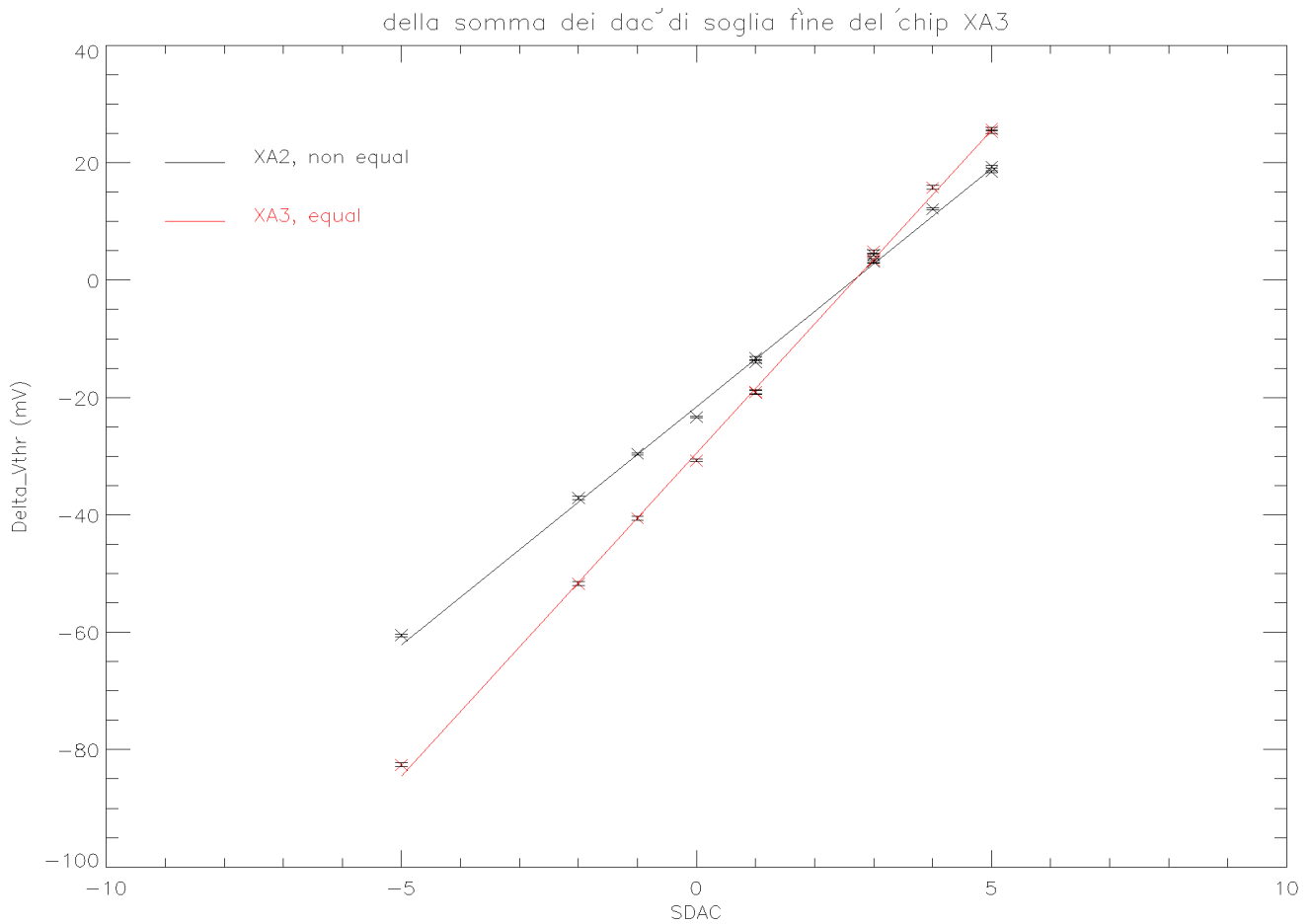


figura 23 Effetto globale per la DC4 della SAFEE spare PFM-A. La retta in nero si riferisce all' "effetto globale stesso XA" per l'XA3 DC4. La retta rossa si riferisce all' "effetto globale altro XA" variando la Somma dei DAC di soglia fine dell'XA3. Il chip ha le soglie fini configurate dopo un'operazione di fine tune. Si noti che in questo caso le rette non si intersecano al valore Somma DAC=0.

Sbilanciamento tra correnti dei circuiti di soglia fine

Durante i primi tentativi di equalizzazione, con il CTM e con l'XA3 della DC4 della safee SPARE PFM-A, ci si è resi conto che richiedere che sia uguale a zero la somma algebrica dei DAC di soglia fine per ogni XA non è condizione sufficiente per mantenere a zero l'effetto globale. Le misure effettuate indicano che le correnti negative e quelle positive non sono perfettamente bilanciate.

La tabella 3 mostra la variazione di offset che si è ottenuta mantenendo la somma dei DAC = 0 su ciascun chip della DC4 della SAFEE spare PFM-A.

<i>operazione</i>	<i>XA</i>	<i>Somma DAC positivi</i>	<i>Somma DAC negativi</i>	<i>Somma DAC</i>	<i>Offset globale (mV)</i>
Equalizzazione	1	-94	94	0	-384
Equalizzazione	2	-91	91	0	-384
Equalizzazione	3	-88	88	0	417
DAC =-3, +3,..., -3, +3	1	-192	192	0	-906
DAC =-3, +3,..., -3, +3	2	-192	192	0	-834
DAC =-3, +3,..., -3, +3	3	-192	192	0	-736
DAC =+3, -3,..., +3, -3	3	-192	192	0	-727
DAC =-2, +2,..., -2, +2	3	-128	128	0	-510
DAC =+2, -2,..., +2, -2	3	-128	128	0	-513
DAC =-1, +1,..., -1, +1	3	-64	64	0	-241
DAC =+1, -1,..., +1, -1	3	-64	64	0	-219

Tabella 3 Offset di un chip conseguente allo sbilanciamento tra correnti positive e negative dei circuiti di soglia fine.

I valori contenuti nella tabella sono rozzamente paragonabili ma le differenze tra chip e chip e tra configurazioni “simmetriche” per lo stesso chip non sono trascurabili.

AGILE	IASF RM
--------------	----------------

<i>Any information contained in this document is property of INAF/IASF Roma (Italy), you may use and print this document for non-commercial purposes provided that no additions, changes or deletions to content or formatting are made. Please contact us if you would like to use the information contained herein in any other manner.</i>	IASF RM
---	----------------

Procedura di correzione delle soglie

Statistica necessaria

La precisione della determinazione del valore di soglia in mV per ciascun canale degli XA può essere determinata confrontando due run consecutivi di soglia.

Sia $V_{thr}^i(E=E^*, RUN=k)$ la soglia in mV (calcolata utilizzando i dati del run di soglia k), che deve essere impostata sul canale i per ottenere una soglia in keV pari a E^* . Assumendo che tutti i punti siano determinati con la stessa accuratezza e che non siano intervenuti elementi perturbativi diversi nei due run, la distribuzione di

$$V_{thr}^i(E=E^*, RUN=1) - V_{thr}^i(E=E^*, RUN=2)$$

ha valor medio nullo e varianza pari al doppio della varianza di $V_{thr}^i(E=E^*, RUN=k)$.

La precisione della misura di soglia può essere valutata dalla determinazione della varianza di questa distribuzione.

Dal Confronto di run consecutivi (RUN 17318, 17321, 17333, 17337 del TE SAFEE) si ottiene la precisione per run di soglia con 130 e 260 impulsi e con ampiezze pari a 18, 33, 48, 63 keV riportata nella tabella 4.

E^* (keV)	$RMS(V_{thr}^i)$ (mV) 130 impulsi	$RMS(V_{thr}^i)$ (mV) 260 impulsi
0	4.5	3.0
10	3.7	2.5
20	2.8	1.9
30	2.2	1.5
40	1.6	1.0
50	1.2	0.9
60	1.4	1.2
70	2.1	1.7

Tabella 4 Precisione degli scan di soglia riportata come $RMS(V_{thr}^i)$. Gli scan di soglia sono stati effettuati con 130 e

260 impulsi. Le ampiezze sono di 18, 33, 48 e 63 keV.

Si noti che $\text{RMS}(V_{thr}^i)$ è minima a 50 keV, ovvero al centro della regione di impulsaggio (il primo impulso non viene utilizzato dall'algoritmo di determinazione del V_{thr}^i).

La $\text{RMS}(V_{thr}^i)$ è proporzionale alla risoluzione in energia del canale (~8.4 keV), inversamente proporzionale al guadagno del canale (~266 mV/fC), ed inversamente proporzionale alla radice dei conteggi.

I risultati riportati nel seguito sono ottenuti con una statistica di 520 impulsi per valore di carica.

Correzione soglia

La correzione di soglia sui canali di un XA viene eseguita attraverso l'utilizzo dei DAC di soglia fine.

A causa dell'effetto di sbilanciamento delle correnti di soglia fine, al termine della procedura, la soglia media dei canali dell'XA sarà cambiata (dai dati della DC4 della SAFEE spare PFM-A dovremmo dire che la soglia media sia scesa di ~400 mV). L'esperienza sulla DC4 della SAFEE spare PFM-A suggerisce di equalizzare i canali di ogni XA della daisy chain mantenendo la somma algebrica dei DAC di soglia fine dello stesso XA ad un valore positivo di +3 o +4 per compensare l'offset da sbilanciamento di correnti.

La variabilità tra XA ed XA e nello stesso XA per configurazioni differenti, suggerisce di effettuare un nuovo run di soglia su tutta la daisy chain, una volta equalizzati tutti gli XA della daisy chain. Questo run di soglia può essere di bassa statistica, infatti interessa soltanto il valor medio di soglia degli XA nella daisy chain. Il Passo seguente consiste nel correggere l'offset tra XA ed XA agendo sulla Somma dei DAC di soglia fine. Un altro run di soglia di bassa statistica deve essere effettuato per verificare la correzione degli offset. Se le correzioni agli offset non sono soddisfacenti, va effettuata una nuova correzione.

Risultati

Risultati sul singolo XA

Nella figura di seguito mostro la riduzione della dispersione di soglia ottenuta per l'XA3 DC4 SAFEE spare PFM-A). Si passa da uno spread di 1.5 keV ad uno di 0.5 keV.

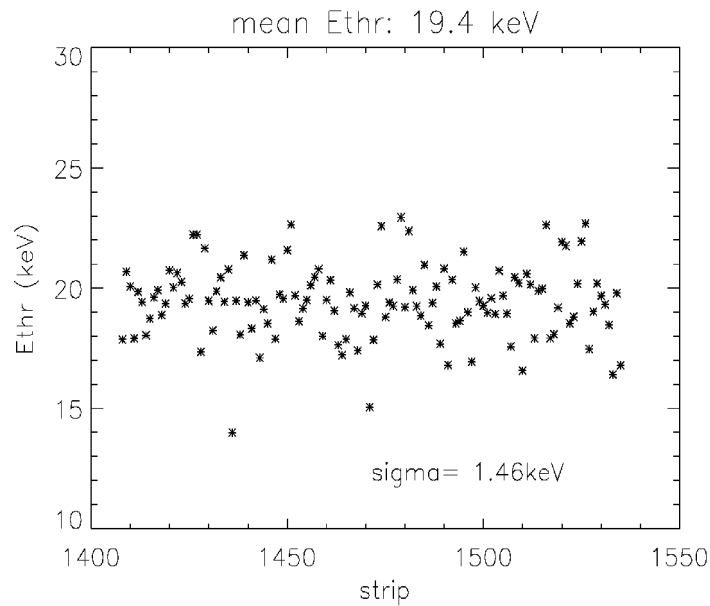


figura 24 Disuniformità di soglia in keV tra i canali di un XA prima della procedura di fine tune (XA3 DC4 SAFEE spare PFM-A). Soglia media 20 keV.

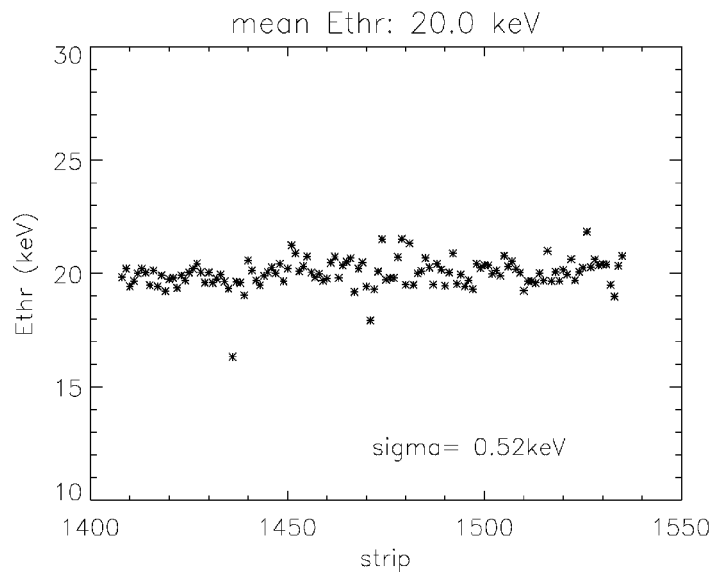


figura 25 Disuniformità di soglia in keV tra i canali di un XA dopo la procedura di fine tune (XA3 DC4 SAFEE spare PFM-A). Soglia media 20 keV.

Per il confronto ho utilizzato il RUN di soglia 17527 del TE-SAFEE (soglie equalizzate) ed i run 17194-17198-17219-17222 (soglie non equalizzate).

Altro risultato ottenuto è la riduzione della soglia nominale come si può osservare dalla figura 26. Si passa da una soglia “nominale” di 17.7 keV ad una di 16.1 keV. Da uno studio preliminare di calibrazione della soglia, la soglia nominale e quella effettiva coincidono ad un livello di qualche percento (più precisamente, la soglia corrispondente a 22 keV è a circa un valore di 115.5 del DAC di soglia (per l'XA3 DC4 della SAFEE spare PFM-A equalizzato), ed il fattore di proporzionalità tra calibratore e sorgenti si discosta di circa il 3% da 1.

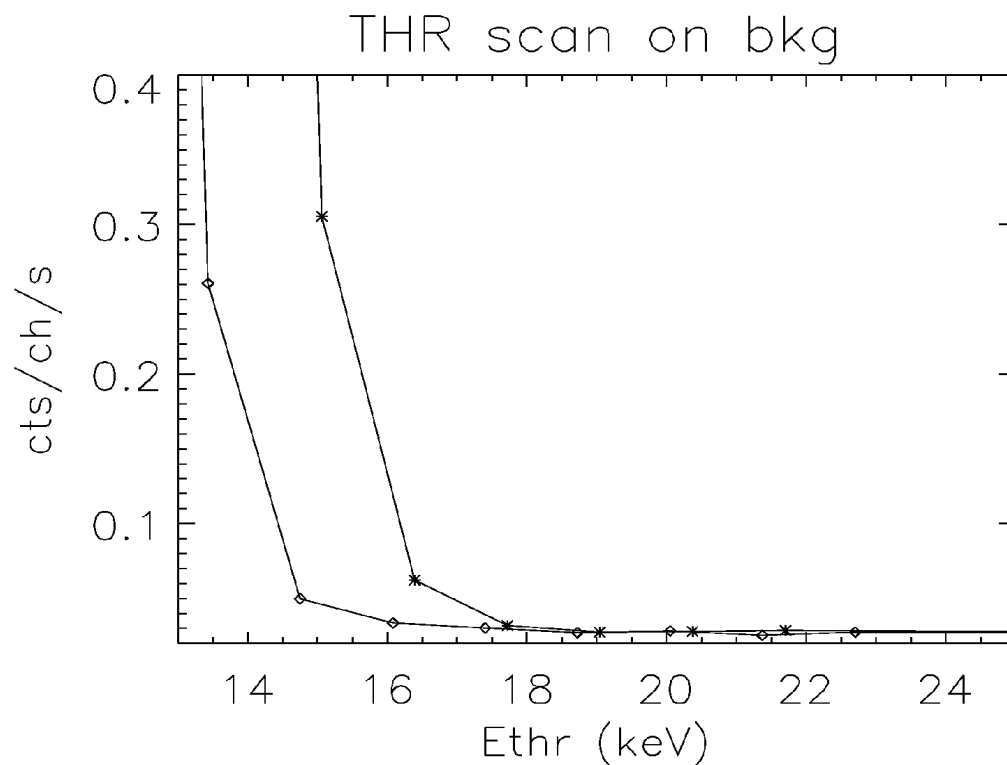


figura 26 Conteggi di fondo per XA3 DC4 della SAFEE spare PFM-A con soglie equalizzate (rombi) e non (asterischi)

Per ottenere la corrispondenza “soglia in mV – soglia in keV” si sono utilizzati i run di soglia 17194, 17198, 17219, 17222 del TE-SAFEE per l'XA non equalizzato ed il run 17527 per l'XA dopo il processo di fine tune della soglia.

I risultati ottenuti con L'XA3 DC4 della SAFEE spare PFM-A non possono essere replicati in toto su SuperAGILE sia per la differenza dei parametri utilizzati ($V_{fp}=125$, $V_{fs}=170$, $Pre=95$, $Sha=90$), sia per gli effetti di “daisy chain”. I risultati ottenuti per la DC4 della SAFEE spare PFM-A sono riportati nella

prossima sezione.

Risultati su tutta una DC

La DC4 della SAFEE spare PFM-A risulta non completamente funzionante, in particolare il primo ed il secondo XA della daisy chain hanno rispettivamente una sigma di 12 keV ed 11 keV per gli impulsi di calibrazione. Il terzo XA soltanto non risulta rumoroso, avendo ha una sigma di 8.4 keV in calibrazione. Per questo motivo riporto soltanto il confronto tra distribuzione delle soglie prima e dopo la procedura di fine-tune e correzione offset globali tra chip e chip di una stessa D.C (figure 27 e 28 rispettivamente).

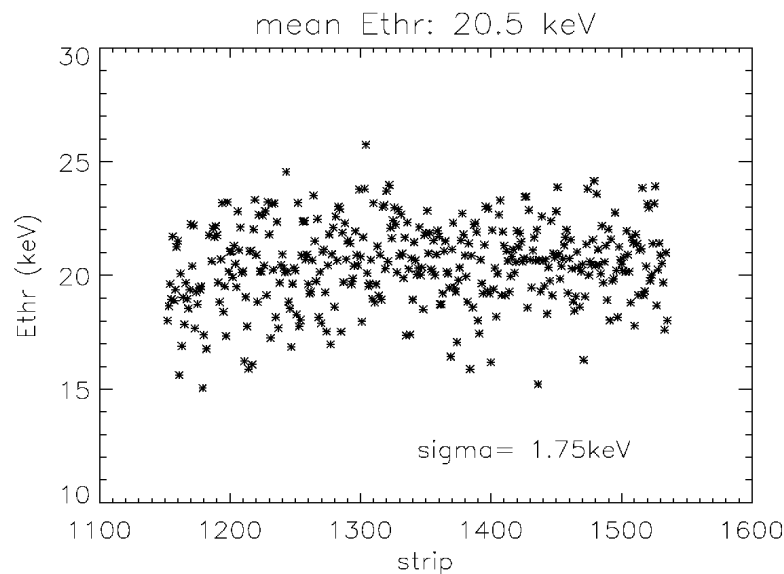


figura 27 Disuniformità di soglia in keV tra i canali della DC4 della SAFEE spare PFM-A prima della procedura di equalizzazione di soglie. Soglia media 20 keV.

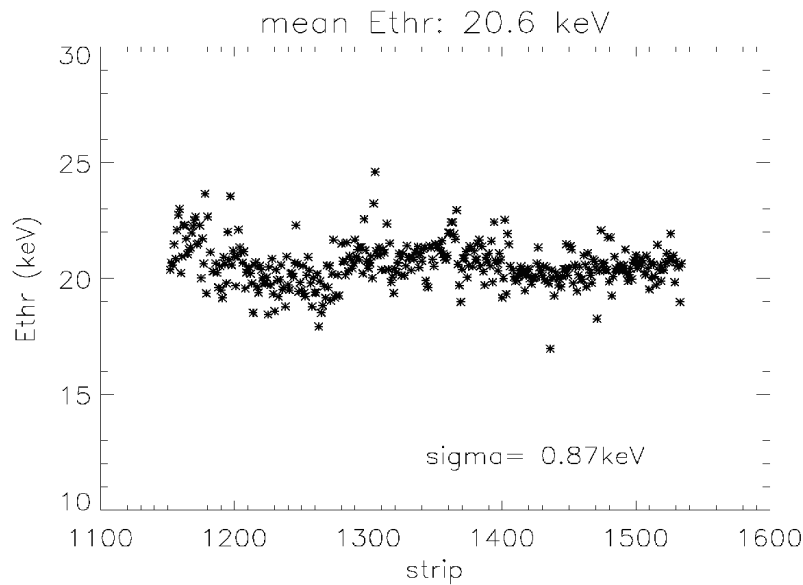


figura 28 Disuniformità di soglia in keV tra i canali della DC4 della SAFEE spare PFM-A dopo la procedura di equalizzazione di soglie. Soglia media 20 keV.

I risultati presentati sono stati ottenuti con la statistica necessaria (520 impulsi di calibrazione per valore di carica e per valore di soglia) soltanto per l'XA3 DC4 (il chip in condizioni migliori).

I run per gli altri due XA hanno una statistica di 130 impulsi di calibrazione per valore di carica e per valore di soglia. Sebbene la statistica non sia sufficiente per il fine-tune, è comunque adeguata per individuare il valore globale di soglia dell'XA, valore utilizzato nella correzione delle soglie globali tra i chip all'interno della D.C.

Osservazioni

La procedura di equalizzazione di soglia di una D.C. è composta di altri due algoritmi (fine tune locale e correzione globale delle soglie tra XA ed XA della stessa D.C.).

La procedura di fine tune sembra molto efficiente e limitata soltanto dalla statistica e da un piccolo numero di canali non completamente correggibili.

La procedura di correzione delle soglie globali tra chip e chip all'interno della D.C., invece, ha come limite non la statistica, ma l'ampiezza dello step di offset relativo tra XA ed XA. Per l'XA 1, 2, 3 della DC4 della SAFEE spare PFM-A, il passo è di 2.74, 2.56, 2.33 keV.

Ad esempio, portare il valore della somma dei DAC dei tre chip della daisy chain da (+4,+4,+4) a (+4,+4,+3) fa variare la soglia nel modo riportato nelle seguenti due figure. Valori intermedi Non sono ottenibili.

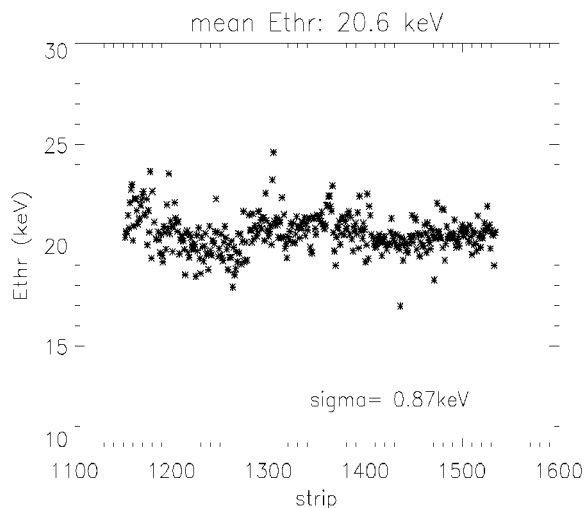


figura 29 Disuniformità di soglia in keV tra i canali della DC4 della SAFEE spare PFM-A dopo la procedura di equalizzazione di soglie. Soglia media 20 keV. La somma dei DAC di soglia fine per i tre chip della D.C. è (+4,+4,+4).

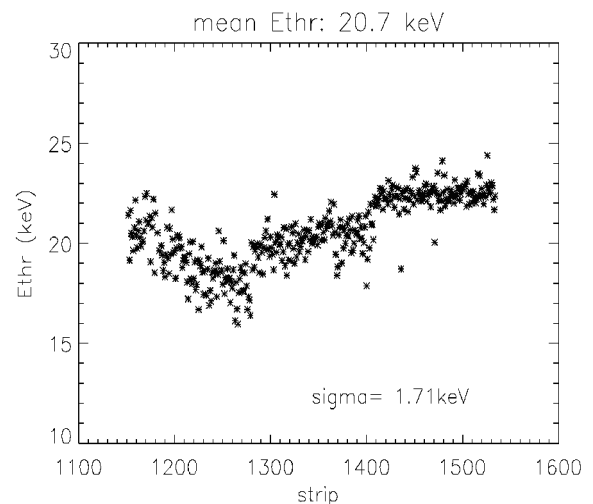


figura 30 Disuniformità di soglia in keV tra i canali della DC4 della SAFEE spare PFM-A dopo la procedura di equalizzazione di soglie. Soglia media 20 keV. La somma dei DAC di soglia fine per i tre chip della D.C. è (+4,+4,+3).

In tutto il lavoro fatto, le procedure di fine tune della soglia e di correzione globale sono state considerate indipendenti, invece le due figure di sopra evidenziano una piccola(?) correlazione.

La procedura di fine tune e di correzione globale hanno un fattore di scala identificabile con il valore del guadagno ottenuto dai run di soglia (rispettivamente 1.6, 1.5, 1.3 keV per passo di DAC per l'XA1, 2, 3 della DC4 della SAFEE spare PFM-A). Se si applicano le procedure sopra descritte su una daisy chain di SuperAGILE, i risultati ottenibili non sono gli stessi che per la spare, ma vanno riscalati per il

AGILE	IASF RM
--------------	----------------

guadagno.

<i>Any information contained in this document is property of INAF/IASF Roma (Italy), you may use and print this document for non-commercial purposes provided that no additions, changes or deletions to content or formatting are made. Please contact us if you would like to use the information contained herein in any other manner.</i>	IASF RM
---	----------------

Piano di misure per l'equalizzazione di soglia per SuperAGILE

Descrizione run	<i>durata</i>
Effettuare una calibrazione elettronica della dc0 safee0. Verificare che tutti i canali diano in uscita gli impulsi aspettati, altrimenti agire su TRIGWBIAS e RESWBIAS della daisy chain e ripetere la calibrazione	???
scan di soglia dc0 safee0 , soglie fini tutte a 0, 25 soglie (soglia minima= 5 passi di DAC di soglia sotto il valore di soglia utilizzata dai run di fondo, step=2 passi di DAC), 1-2 calibrazioni da 4 ampiezze (18–33-48–63 keV), 255 impulsi, 2 min a calibrazione)	30-60 min
scan di soglia dc0 safee0, con un canale del primo XA con soglia fine +3, con 25 soglie, 4 cariche, 255 impulsi per carica, 1-2 calibrazioni soglia minima dello scan più alta di 6 passi di DAC rispetto al primo scan della dc0.	30-60 min
scan di soglia dc0 safee0, con un canale del secondo XA con soglia fine +3, con 25 soglie, 4 cariche, 128 impulsi per carica, soglia minima dello scan più alta di 6 passi di DAC rispetto al primo scan della dc0.	15 min
scan di soglia dc0 safee0, con un canale del terzo XA con soglia fine +3, con 25 soglie, 4 cariche, 128 impulsi per carica. soglia minima dello scan più alta di 6 passi di DAC rispetto al primo scan della dc0.	15 min
scan di soglia dc0 safee0, con xa0 equalizzato, 25 soglie, 4 cariche, 128 impulsi soglia minima dello scan 25 passi di DAC più bassa rispetto allo primo scan della dc0)	15 min

AGILE

IASF RM

Descrizione run	<i>durata</i>
scan di soglia dc0 safee0, con xa1 equalizzato, 25 soglie, 4 cariche, 128 impulsi soglia minima dello scan 25 passi di DAC più bassa rispetto allo primo scan della dc0)	15 min
scan di soglia dc0 safee0, con xa2 equalizzato, 25 soglie, 4 cariche, 128 impulsi, soglia minima dello scan 25 passi di DAC più bassa rispetto allo primo scan della dc0)	15 min
scan di soglia dc0 safee0 , tutti gli XA equalizzati, Somma DAC =(+3?,+3?,+3?), 25 soglie, 4 cariche, 128 impulsi, soglia minima come nel primo scan della dc0 safee0(?).	15 min
scan di soglia dc0 safee0 , tutti gli XA equalizzati, Somma DAC =(TBD,TBD,TBD) , 25 soglie, 4 cariche, 255 impulsi, 1-2 calibrazioni, soglia minima TBD.	30-60 min
----- dc0 safee0 -----	Tot: 3h-4.5h
Effettuare una calibrazione elettronica della dc1 safee0. Verificare che tutti i canali diano in uscita gli impulsi aspettati, altrimenti agire su TRIGWBIAS e RESWBIAS della daisy chain e ripetere la calibrazione	???
scan di soglia dc1 safee0 , soglie fini tutte a 0, 25 soglie (soglia minima= 5 passi di DAC di soglia sotto il valore di soglia utilizzata dai run di fondo, step=2 passi di DAC), 1-2 calibrazioni da 4 ampiezze (18–33-48–63 keV), 255 impulsi, 2 min a calibrazione)	30-60 min

Any information contained in this document is property of INAF/IASF Roma (Italy), you may use and print this document for non-commercial purposes provided that no additions, changes or deletions to content or formatting are made. Please contact us if you would like to use the information contained herein in any other manner.

IASF RM

AGILE

IASF RM

Descrizione run	<i>durata</i>
scan di soglia dc1 safee0 , tutti gli XA equalizzati, Somma DAC =(+3?,+3?,+3?), 25 soglie, 4 cariche, 128 impulsi, soglia minima come nel primo scan della dc1 safee0(?).	15 min
scan di soglia dc1 safee0 , tutti gli XA equalizzati, Somma DAC =(TBD,TBD,TBD), 25 soglie, 4 cariche, 255 impulsi, 1-2 calibrazioni, soglia minima TBD.	30-60 min
----- dc1 safee0 -----	Tot: 1.25-2.25h
----- superagile (tutte le misure come per dc1 safee0)-----	Tot: 22-38h

Any information contained in this document is property of INAF/IASF Roma (Italy), you may use and print this document for non-commercial purposes provided that no additions, changes or deletions to content or formatting are made. Please contact us if you would like to use the information contained herein in any other manner.

IASF RM